

5.0 crédits	30.0 h + 30.0 h	1q
-------------	-----------------	----

Enseignants:	Legat Jean-Didier ;
Langue d'enseignement:	Français
Lieu du cours	Louvain-la-Neuve
Préalables :	LELEC2531 - Conception et architecture des systèmes électroniques digitaux
Thèmes abordés :	Voir descriptif
Acquis d'apprentissage	<p>A l'issue de cet enseignement, les étudiants seront en mesure de</p> <ul style="list-style-type: none"> <li>-- Concevoir, simuler et synthétiser un circuit intégré digital spécifique (ASIC)</li> <li>-- Appréhender l'utilisation des outils logiciels Cadence et Synopsys</li> <li>-- Concevoir, simuler et dessiner des cellules de base</li> <li>-- Intégrer ces cellules de base dans la conception de l'ASIC</li> <li>-- Optimiser la synthèse de l'ASIC</li> </ul> <p><i>La contribution de cette UE au développement et à la maîtrise des compétences et acquis du (des) programme(s) est accessible à la fin de cette fiche, dans la partie « Programmes/formations proposant cette unité d'enseignement (UE) ».</i></p>
Modes d'évaluation des acquis des étudiants :	L'évaluation se base sur les travaux durant le quadrimestre et sur le projet final
Méthodes d'enseignement :	<ul style="list-style-type: none"> <li>-- L'apprentissage se base sur des cours accompagnés de séminaires, de travaux personnels obligatoires et d'un projet.</li> <li>-- Chaque étudiant sera amené à concevoir et à simuler un ASIC dans le cadre du projet</li> </ul>
Contenu :	<ul style="list-style-type: none"> <li>-- La synthèse logique</li> <li>-- L'optimisation software</li> <li>-- L'optimisation hardware</li> <li>-- Le placement et le routage</li> <li>-- L'optimisation temporelle</li> <li>-- La conception "full custom" de cellules de base</li> <li>-- Le layout et l'intégration de cellules de base</li> <li>-- La synthèse et l'optimisation finale de l'ASIC</li> </ul>
Bibliographie :	Digital VLSI Chip Design with Cadence and Synopsys CAD Tools by Erk Brunvand
Cycle et année d'étude :	<ul style="list-style-type: none"> <li>&gt; <a href="#">Master [120] : ingénieur civil électricien</a></li> <li>&gt; <a href="#">Master [120] : ingénieur civil électromécanicien</a></li> </ul>

Faculté ou entité en charge:	ELEC
------------------------------	------